

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-011181

(43)Date of publication of application : 20.01.1987

(51)Int.Cl.

G01R 31/28

(21)Application number : 60-150404

(71)Applicant : NEC CORP

(22)Date of filing : 08.07.1985

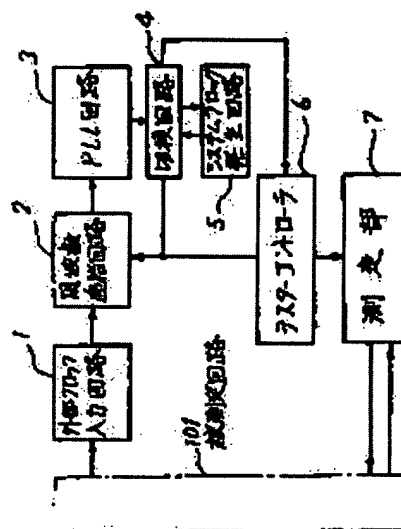
(72)Inventor : KAWASHIMA SHINGO

(54) TESTER FOR LARGE-SCALE INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To enable measurement even with respect to a circuit wherein a circuit to be measured itself generates a clock, by providing an external clock input circuit, a frequency multiplier circuit, a PLL circuit and a change-over circuit to a tester side.

CONSTITUTION: An external clock input circuit 1 inputs an external clock from a circuit 101 to be measured to perform the amplification and level transformation thereof. A frequency multiplier circuit 2 multiplies the signal from the circuit 1 by a necessary part on the basis of the order of a tester controller 6 and a PLL circuit 3 is one for making the clock possessed by a tester itself synchronous to the clock of the circuit 2 to make the clock of a system clock generation circuit 5 synchronous to that of the circuit 101. A change-over circuit 4 changes over synchronous measurement based on the clock of the circuit 101 and non-synchronous measurement based on the clock inherent to the tester. A measuring part 7 is connected to the circuit 101 to apply a necessary input signal to the circuit 101 and performs the judgement to the output signal of the circuit 101 on the basis of the order of a controller 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-11181

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)1月20日

G 01 R 31/28

7807-2G

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 大規模集積回路用テスター

⑯ 特 願 昭60-150404

⑰ 出 願 昭60(1985)7月8日

⑱ 発 明 者 川 島 進 吾 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

大規模集積回路用テスター

特 許 請 求 の 範 囲

システムクロックを発生するシステムクロック発生部と、制御部と、測定部とを有する大規模集積回路用テスターにおいて、被測定回路からの外部クロックを入力する外部クロック入力回路と、前記外部クロックを逡倍する周波数逡倍回路と、前記システムクロックと前記周波数逡倍回路からのクロックを同期させる位相同期ループ回路と、前記システムクロックおよび前記外部クロックのいずれかを切り換えて前記測定部に与える切換回路とを備えることを特徴とする大規模集積回路用テスター。

発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は大規模集積回路用テスター(以下LSIテスター)に関し、特にロジック系電気回路のファンクション測定を行うLSIテスターに関する。

(従来の技術)

第2図は従来のLSIテスターの一例を示すブロック図である。

従来、この種のLSIテスターは、システムクロック発生回路8、テスターコントローラ9および測定部10を有し、そのシステムクロックはテスター固有のシステムクロック発生回路8より発生・作成し、テストシステム全体の時間的基準としていた。

(発明が解決しようとする問題点)

上述した従来のLSIテスターは、基本クロックをテスター自体が作るため、被測定回路自体が発振動作を行っている場合には、テスターと被測定回路の時間的な一致をとることができない。このため、ファンクションテストを行う場合には、被測定回路にあらかじめ外部よりのクロックに同

期させるための回路を追加しておき、測定時にはテスター側よりクロックを入力し、テスターに被測定回路を同期させることにより、ファンクションテストを実施可能にしていた。

しかし、従来は測定の目的だけのための回路を追加することが必要であり、また実際の使用条件と異なる測定条件となるために、不良の検出が行われない等の欠点がある。さらに、被測定回路に外部クロックを入力できない場合や、被測定回路自体の発生するクロックに同期して動作する場合には、正確なファンクションテストができないという欠点があった。

〔問題点を解決するための手段〕

本発明の大規模集積回路用テスターは、システムクロックを発生するシステムクロック発生部と、制御部と、測定部と、被測定回路からの外部クロックを入力する外部クロック入力回路と、前記外部クロックを逡倍する周波数逡倍回路と、前記システムクロックと前記周波数逡倍回路からのクロックを同期させる位相同期ループ回路と、前記シ

スター本来のクロックで測定する非同期測定とを切り換える。測定部7は被測定回路101と接続し、この被測定回路101に対して必要な入力信号を与えるとともに、テスターコントローラ6の指令に基づいて、被測定回路101の出力信号に対する判定を実行する。

第2の実施例は、第1の実施例における切換回路4を省いた構成である。本実施例は、被測定回路が常に外部よりの時間的な同期を行わずに動作する場合におけるものであり、この場合にはシステムクロックは常に外部クロック入力回路1よりの信号に同期していれば良いため、切換回路を省略し、回路の簡素化を図っている。

第3の実施例は、第1の実施例における周波数逡倍回路2を省いた構成である。本実施例は、テスターのシステムクロックとして使用可能な周波数範囲内に、外部クロックがある場合におけるものであり、周波数逡倍回路を省略し、回路の簡素化ができる。

第4の実施例は、第1の実施例における周波数

システムクロックおよび前記外部クロックのいずれかを切り換えて前記測定部に与える切換回路とを備えている。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図(a)ないし(d)は本発明のそれぞれ第1ないし第4の実施例のブロック図である。

第1の実施例において、外部クロック入力回路1は被測定回路101からの外部クロックを入力し、増幅およびレベル変換を行う。周波数逡倍回路2は逡倍量の可変可能な逡倍回路で、テスター全体の動作の制御を行うテスターコントローラ6よりの指令により、必要分だけ、外部クロック入力回路1よりの信号を逡倍する。位相同期ループ回路(以下PLL回路)3はテスター自体の持っているクロックを、周波数逡倍回路2よりの信号に同期させる回路で、システムクロック発生回路5のクロックを被測定回路のクロックに同期させる。切換回路4は本実施例のテスターを、被測定回路101のクロックで測定する同期測定と、テ

逡倍回路2と切換回路4を省いた構成である。本実施例は、上述した第2の実施例と第3の実施例の条件、すなわち、常にシステムクロックを外部クロックに同期して使用でき、且つ外部クロックがシステムクロックとして使用可能な周波数範囲にある条件の場合において、使用可能となるものであり、構成を大幅に簡素化することができる。

〔発明の効果〕

以上説明したように本発明は、テスター側に外部クロック入力回路、周波数逡倍回路、PLL回路および切換回路を設けることにより、従来測定が不可能であった被測定回路自身がクロックを発生する回路であっても、測定することができる効果がある。

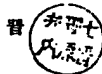
図面の簡単な説明

第1図(a)ないし(d)は本発明のそれぞれ第1ないし第4の実施例のブロック図、第2図は従来のLSIテスターの一例を示すブロック図である。

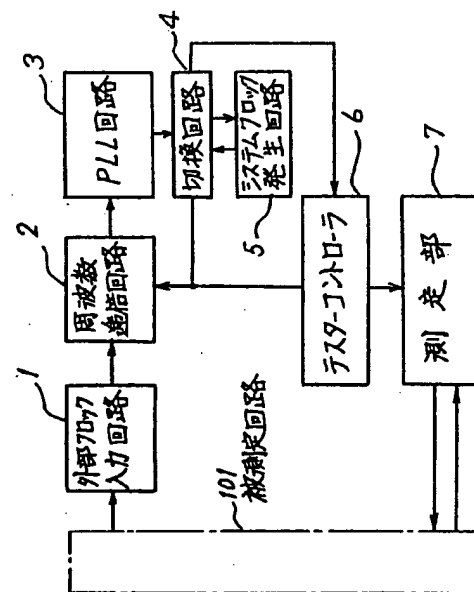
1…外部クロック入力回路、2…周波数逡倍回

路、3…PLL回路、4…切換回路、5、8…システムクロック発生回路、6、9…テスターコントローラ、7、10…測定部。

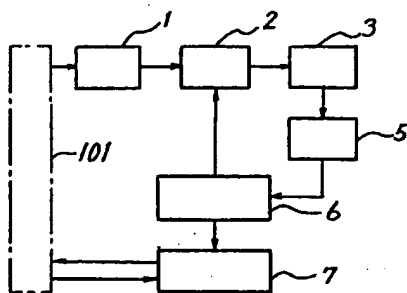
代理人 弁理士 内 原



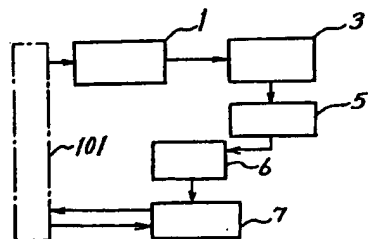
第 1 図 (a)



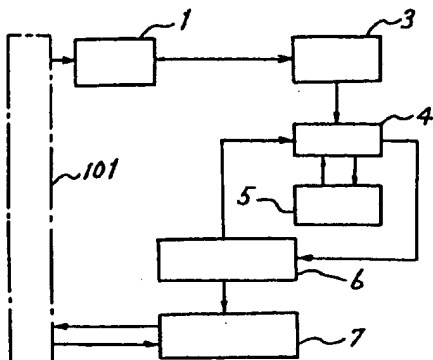
(b)



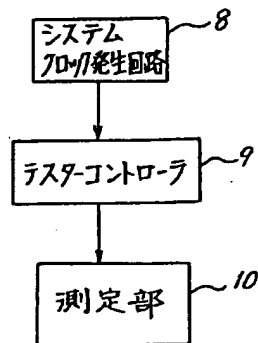
(d)



(c)



第 2 図



手 続 補 正 書 (方式)

昭和 60.11.29 日

特 許 庁 長 官 殿

1. 事件の表示 昭和 60 年 特 許 願第 150404 号
2. 発明の名称 大規模集積回路用テスト
3. 補正をする者

事件との関係

出 願 人

東京都港区芝五丁目 33 番 1 号
(423) 日本電気株式会社
代表者 関 本 忠 弘

4. 代 理 人

〒106 東京都港区芝五丁目 37 番 8 号 住友三田ビル
日本電気株式会社内
(64971) 弁理士 内 原
電話 東京 (03) 456-3111 (大代表)
(通称 1.25 日本電気株式会社 特許部)

5. 補正命令の日付 昭和 60 年 10 月 29 日 (発送日)

ハ 八 (杉本)
審 査

6. 補正の対象

(1) 図面

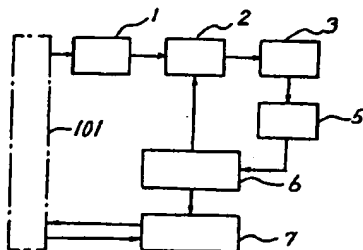
7. 補正の内容

(1) 図面 (b), (c), (d) をそれぞれ第 1 図 (b), 第 1 図 (c), 第 1 図 (d) とし、別紙のとおり補正する。

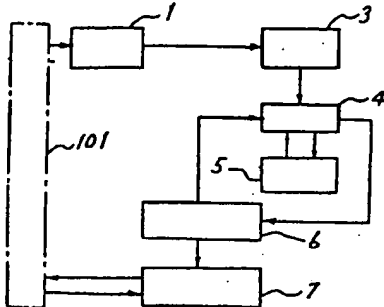
代理人 弁理士 内 原

弁理士
内原

第 1 図 (b)



第 1 図 (c)



第 1 図 (d)

